



## PATENT ABSTRACTS OF JAPAN

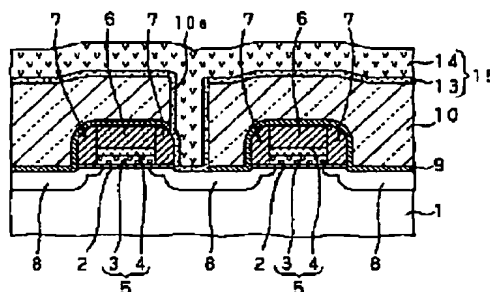
(11) Publication number: **08203998 A**(43) Date of publication of application: **09.08.96**

(51) Int. Cl.

**H01L 21/768****H01L 21/3205**(21) Application number: **07007072**(71) Applicant: **SONY CORP**(22) Date of filing: **20.01.95**(72) Inventor: **TSUKAMOTO MASANORI  
GOCHO TETSUO****(54) METHOD OF FORMING MULTILAYER WIRING****(57) Abstract:**

**PURPOSE:** To improve a method of forming a multilayer wire for use in a semiconductor memory or a gate array, and realize a flatness of a base and a reduction of intervals of an upper layer wire that could not be resolved in a conventional self-align contact method.

**CONSTITUTION:** When, in SRAM's of minimum process dimension  $0.3\mu\text{m}$ , a substrate contact of an upper layer wire (bit line lead-out electrode) 15 is taken between two word lines 5 (wire width  $0.55\mu\text{m}$ ), an offset oxide film 6 is provided on the word line 5 and a side wall 7 is provided on a side wall surface to secure an insulation, and the entire base surface is coated with an etching stop layer 9 of a thin  $\text{Si}_x\text{N}_y$  system. Thereafter, it is flatted with an interlayer insulation film 10 of a thick  $\text{SiO}_x$  system. A contact hole 10a (diameter  $0.4\mu\text{m}$ ) having a smaller opening dimension than a space between wires ( $0.7\mu\text{m}$ ) is opened therein. Thus, as the opening dimension of the contact hole 10a is small, it is possible to reduce a coated area of the upper layer wire 15 and cope with an integration.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-203998

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. <sup>8</sup>	識別記号	弁内整理番号	F I	技術表示箇所
H 0 1 L	21/768			
	21/3205			
			H 0 1 L 21/ 90	D
			21/ 88	B
			21/ 90	J
			審査請求 未請求 請求項の数6	O L (全 9 頁)

(21) 出願番号 特願平7-7072

(22) 出願日 平成7年(1995)1月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 牛嶋 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 小池 晃 (外2名)

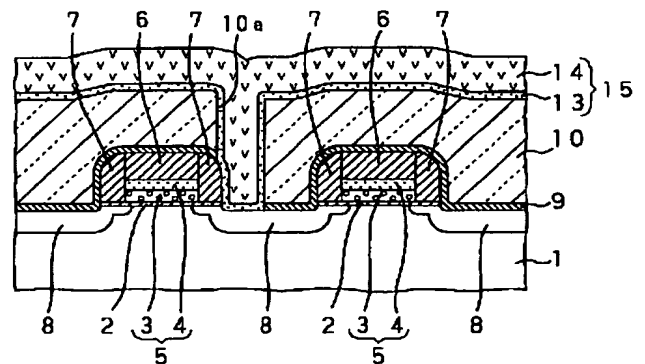
#### (54) 【発明の名称】 多層配線の形成方法

##### (57) 【要約】

【目的】 半導体メモリやゲート・アレイに用いられる多層配線の形成方法を改善し、従来のセルフアライン・コンタクト法では解決できなかった基体の平坦化と上層配線間隔の縮小を実現する。

【構成】 最小加工寸法0.35 $\mu$ mのSRAMにおいて2本のワード線5(線幅0.55 $\mu$ m)の間で上層配線(ビット線引出し電極)15の基板コンタクトをとる場合に、ワード線5上にオフセット酸化膜6、側壁面上にサイドウォール7を設けて絶縁を確保し、基体全面を薄いSi<sub>3</sub>N<sub>4</sub>系のエッチング停止層9で被覆した後に厚いSiO<sub>2</sub>系の層間絶縁膜10で平坦化し、ここに配線間スペース(0.7 $\mu$ m)よりも開口寸法の小さいコンタクト・ホール10a(直径0.4 $\mu$ m)を開孔する。

【効果】 コンタクト・ホール10aの開口寸法が小さいので、上層配線15の被り面積が削減でき、高集積化に対応可能となる。



## 【特許請求の範囲】

【請求項1】 隣接する2本の中層配線の配線間スペース内で層間絶縁膜を開口して接続孔を形成し、該接続孔を介して下層配線と上層配線との間の導通をとる多層配線の形成方法において、  
前記中層配線上にこれと共通パターンにてオフセット絶縁膜を形成する工程と、  
前記中層配線と前記オフセット絶縁膜からなるパターンの側壁面にサイドウォール絶縁膜を形成する工程と、  
基体の全面を被覆して前記層間絶縁膜よりもエッチング速度の遅いエッチング停止層を実質的にコンフォーマルに成膜する工程と、  
前記エッチング停止層上に前記層間絶縁膜を略平坦に成膜する工程と、  
前記配線間スペースよりも開口寸法の小さい領域内で前記層間絶縁膜を異方性エッチングする工程と、  
前記領域の底面に露出したエッチング停止層を選択的に除去することにより接続孔を完成させる工程と、  
前記接続孔を導電材料で埋め込む工程とを有する多層配線の形成方法。

【請求項2】 前記層間絶縁膜をSiO<sub>2</sub>系材料を用いて構成し、前記エッチング停止層をSi<sub>3</sub>N<sub>4</sub>系材料、Si<sub>3</sub>O<sub>4</sub>N<sub>2</sub>系材料、Al<sub>2</sub>O<sub>3</sub>系材料より選ばれる少なくとも1種類の絶縁材料を用いて形成する請求項1記載の多層配線の形成方法。

【請求項3】 隣接する2本の中層配線の配線間スペース内で層間絶縁膜を開口して接続孔を形成し、該接続孔を介して下層配線と上層配線との間の導通をとる多層配線の形成方法において、  
前記中層配線上にこれと共通パターンにてオフセット絶縁膜を形成する工程と、  
前記中層配線と前記オフセット絶縁膜からなるパターンの側壁面に前記層間絶縁膜よりもエッチング速度の遅いサイドウォール絶縁膜を形成する工程と、  
基体の全面を被覆して前記層間絶縁膜を略平坦に成膜する工程と、  
前記配線間スペースよりも開口寸法の小さい領域内で前記層間絶縁膜を異方性エッチングし、接続孔を形成する工程と、  
前記接続孔を導電材料で埋め込む工程とを有する多層配線の形成方法。

【請求項4】 前記層間絶縁膜をSiO<sub>2</sub>系材料を用いて形成し、前記サイドウォール絶縁膜をSi<sub>3</sub>N<sub>4</sub>系材料、Si<sub>3</sub>O<sub>4</sub>N<sub>2</sub>系材料、Al<sub>2</sub>O<sub>3</sub>系材料より選ばれる少なくとも1種類の絶縁材料を用いて形成する請求項3記載の多層配線の形成方法。

【請求項5】 前記接続孔の開口寸法を、適用される最小加工寸法の1～1.2倍とする請求項1ないし請求項4のいずれか1項に記載の多層配線の形成方法。

【請求項6】 前記中層配線および下層配線は、MOS

トランジスタのそれぞれゲート電極およびソース／ドレイン領域である請求項1ないし請求項5のいずれか1項に記載の多層配線の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は主としてメモリ、ゲート・アレイ等の高集積化半導体デバイスに採用される多層配線の形成方法に関し、特に配線や接続孔に多少の寸法変動やフォトリソグラフィ時のミスアライメントが生じても、配線と接続孔との間の絶縁を確保し、かつ将来のより一層の高集積化に対応可能とする方法に関する。

## 【0002】

【従来の技術】VLSI, ULSIといった近年の高集積化半導体デバイスにおいては、チップ上で配線部分の占める面積が増大しており、特にメモリ、ゲート・アレイ等のデバイスにおいてこの傾向が顕著となっている。このようなデバイスでは、配線間隔の縮小のみでチップ面積の縮小化を図ることにはもはや限界があり、絶縁膜を介しながら配線を上下方向に幾層にも積み上げる多層配線の採用により問題の解決を図っている。

【0003】多層配線においては、配線間に接続孔を形成するケースが多々発生する。たとえば、下層配線、中層配線、上層配線の3層の配線層が存在するとき、隣接する2本の中層配線の間の配線間スペース内で層間絶縁膜を開口して下層配線に達する接続孔を形成し、この接続孔に導電材料を埋め込んで下層配線と上層配線との間の導通をとるケースがこれに該当する。ここで、中層配線と接続孔との間の距離は、下記のスケーリング・ファクターを見込んで設計される。

(a) 中層配線と接続孔とを絶縁するために必要な距離  
(b) 接続孔パターンをフォトリソグラフィで形成する際のアライメント余裕

(c) 接続孔の直径や配線幅の加工ばらつき

上記(a)は、実質的には中層配線と接続孔との間に存在する層間絶縁膜の誘電率と膜厚の関数である。上記

(b)は、中層配線を被覆する層間絶縁膜に接続孔を開口するためのフォトレジスト・マスクを形成する際に、中層配線の配線間スペース内に本来収まるべき接続孔について発生し得る位置ずれを表す。さらに上記(c)

は、エッチング条件に起因するフォトレジスト・マスクとの間の寸法変換差に関連している。

【0004】しかし、これらのスケーリング・ファクターは必ずしもデザイン・ルールの縮小と同一歩調にて容易にスケール・ダウンできるものではなく、このことが配線間スペースの縮小、ひいてはメモリ・セルやゲート・アレイの占有面積の縮小を阻む原因となっている。特に(b)のフォトリソグラフィにおけるアライメント余裕については他の項目に比べてスケール・ダウンが困難であり、ミスアライメントが大きくなると中層配線と接続孔と間の短絡が生じたり、あるいは下層配線がMOS

ーFETのソース／ドレイン領域である場合に、そのLDD領域に接続孔が達して動作特性を劣化させてしまう等の不都合が生ずる。

【0005】そこで、上述の問題を解決する手法として、配線間スペースを縮小してもここに自己整合的に接続孔を開口できる、いわゆるセルフアライン・コンタクト（SAC）法が提案されている。本手法を適用したSRAMのメモリ・セルの一部を、図11に示す。ここでは、タングステン（W）・ポリサイド膜からなる2本のワード線5（MOS-FETのゲート電極）の間でビット線引出し電極22をLDD構造を有するソース／ドレイン領域8にコンタクトさせる工程にSAC法が適用されている。上記ソース／ドレイン領域8、ワード線5、ビット線引出し電極22は、それぞれ前述の下層配線、中層配線、上層配線に該当する。

【0006】上記ワード線5の上面にはこれと同一パターンにてSiO<sub>2</sub>からなるオフセット酸化膜6が形成され、また該ワード線5とオフセット酸化膜6の側壁面には同じくSiO<sub>2</sub>からなるサイドウォール7が形成されている。ここでは、2本のワード線5の配線間スペース全体がコンタクト・ホールとして機能しており、上記オフセット酸化膜6とサイドウォール7とが、ワード線5とビット線引出し電極22との間の絶縁に寄与している。

【0007】ところで、上記オフセット酸化膜6はSAC法に用いられる特有の構造部であるが、ある程度大きな膜厚を要するため、基体の表面段差を増大させてコンタクト・ホールやビット線引出し電極22のパターニングを困難化している原因となっている。オフセット酸化膜6の膜厚は、絶縁耐圧の確保に加え、下記のスケーリング・ファクターを見込んで設計される。

【0008】（d）CVDによる成膜時の膜厚ばらつき（e）エッチバックによりサイドウォール7を形成する際の膜減り

（f）層間絶縁膜21にコンタクト・ホールを開口する際のオーバーエッチングによる膜減り

（g）上層配線22を被着させる直前の希フッ酸処理（自然酸化膜の除去）時の膜減り

これらのスケーリング・ファクターを見込んで設計されるオフセット酸化膜6の膜厚は、通常はワード線5の膜厚を大幅に上回ってしまう。また、コンタクト・ホール23の合わせズレを考慮してその開口エッジ位置21eをワード線5のエッジ位置よりも後退させているため、開口エッチングの途中ではオフセット酸化膜6が露出する。しかし、層間絶縁膜21とオフセット酸化膜6は通常いずれもSiO<sub>2</sub>膜にて構成され、両者の間でエッチング選択比をとることができないため、上記開口エッチングとしてはコントロール・エッチングを行わざるを得ない。このコントロール・エッチングとは、下地選択比が確保できず過剰なオーバーエッチングが許容されない

場合に、エッチング量を被エッチング層の膜厚と同程度に設定する方法である。したがって、通常のSAC法では、大きな段差を有するワード線5の近傍で層間絶縁膜21を平坦化することができず、これをコンフォーマルに形成せざるを得ない。この結果、コンタクト・ホール23の内部には複雑な表面段差が残ることとなり、該コンタクト・ホール23を埋め込む上層配線のパターニングに支障を来す。それは、近年のフォトリソグラフィでは露光波長の短波長化に伴って焦点深度が減少しているために、表面段差が解像度を大きく低下させる原因となるからである。また、近年のドライエッチングでは異方性加工を実現するためにエッチング種の垂直入射成分を強めているので、表面段差が過剰なオーバーエッチングによる膜減りやダメージ増大の原因ともなるからである。

【0009】コンタクト・ホールやビット線引出し電極22のパターニング精度を向上させるためには、ワード線を被覆する層間絶縁膜で基体表面を平坦化することが有効である。ただしその場合には、局所的な膜厚変動の大きいこの層間絶縁膜にコンタクト・ホールを開口するために、該層間絶縁膜の下地としてこれとエッチング選択比のとれる薄いエッチング停止層を用いる。このような手法を適用したSRAMのメモリ・セルの一部を、図12に示す。ここでは、オフセットSiO<sub>2</sub>膜6とサイドウォールSiO<sub>2</sub>膜7が共に薄いエッチング停止層31で被覆され、この上に層間絶縁膜32を成膜して基体表面を一旦、略平坦化している。上記エッチング停止層31としてはたとえばSiN膜、上記層間絶縁膜32としてはたとえば平坦化特性に優れるBPSG（ホウ素リン・シリケート・ガラス）を用いることができる。この後、フォトリソグラフィによりレジスト・マスク33を形成し、その開口34を通じて層間絶縁膜32をエッチングする。ただし、この時のエッチングは、一般にHF溶液を用いたウェット・エッチングか、あるいは選択性を重視して等方性モードのドライ・エッチングで行われるため、層間絶縁膜32の開口端にはアンダカット32uが発生し、その開口寸法はレジスト・マスク33の開口寸法（開口34の直径）より大きくなる。しかる後、図13に示されるように、底面に露出したエッチング停止層31をたとえば熱リン酸溶液処理により除去し、コンタクト・ホールを完成している。

【0010】

【発明が解決しようとする課題】ところで、従来のDRAMやSRAM等のメモリ・セルにおいては、たとえば前出の図13に示されるように、レジスト・マスク33の開口34の寸法は元来かなり大きく、したがって等方性エッチングによるアンダカット32uの発生、すなわちコンタクト・ホールの開口径の拡大も許容されていた。

【0011】しかしながら、このような等方形状を有

するコンタクト・ホールを被覆するためには、ビット線引出し電極を幅広く形成しなければならず、このことは将来的にメモリ・セルのデザイン・ルールの縮小が一層進んだ場合に高集積化の大きな妨げとなる。特に、個々のゲート電極に最小加工寸法が適用されるゲート・アレイにおいては、上述のような等方形状を有するコンタクト・ホールは適用不可能である。また、かかるコンタクト・ホールを被覆するビット線引出し電極は複雑な表面段差を反映したものとなり、しかも一般に光反射率の高い材料で構成されるため、フォトリソグラフィ時にハレーションや定在波効果を発生させ易く、正確な解像を困難とする。

【0012】したがって今後は、中層配線の配線間スペース内に形成される接続孔についてもその断面形状を異方形状とし、これにより上層配線の被り面積を削減し、かつ上層配線に基体の表面段差を反映させないようにすることが、高集積化および高精度化に対応する上で不可欠となる。

【0013】そこで本発明は、デザイン・ルールが縮小しても中層配線と接続孔との間の絶縁を確保することが可能で、しかも高集積化に対応できる多層配線の形成方法を提供することを目的とする。

#### 【0014】

【課題を解決するための手段】本発明の多層配線の形成方法は、上述の目的を達するために提案されるものであって、隣接する2本の中層配線の配線間スペース内で層間絶縁膜を開孔して接続孔を形成し、該接続孔を介して下層配線と上層配線との間の導通をとる際に、前記中層配線にこれと共通パターンにてオフセット絶縁膜を形成する工程と、前記中層配線と前記オフセット絶縁膜からなるパターンの側壁面にサイドウォール絶縁膜を形成する工程と、基体の全面を被覆して前記層間絶縁膜よりもエッチング速度の遅いエッチング停止層を実質的にコンフォーマルに成膜する工程と、前記エッチング停止層上に前記層間絶縁膜を略平坦に成膜する工程と、前記配線間スペースよりも開口寸法の小さい領域内で前記層間絶縁膜を異方性エッチングする工程と、前記領域の底面に露出したエッチング停止層を選択的に除去することにより接続孔を完成させる工程と、前記接続孔を導電材料で埋め込む工程とを経るものである。

【0015】あるいは、上記のエッチング停止膜を用いる代わりに、層間絶縁膜よりもエッチング速度の遅い材料を用いてサイドウォール絶縁膜を構成しても良い。この場合には、前記層間絶縁膜の異方性エッチングを行うのみで接続孔が完成し、エッチング停止膜を除去する工程は不要となる。仮にフォトリソグラフィ時のミスマライメントにより接続孔がサイドウォールとオーバーラップしても、このサイドウォールがエッチング停止膜と同じ機能を果たすのでサイドウォールは浸蝕されず、中層配線と接続孔との間の絶縁耐圧が確保される。

【0016】いずれの方法をとるにしても、前記層間絶縁膜の最も一般的な構成材料は $\text{SiO}_2$ 系材料である。層間絶縁膜に $\text{SiO}_2$ 系材料を用いる場合、エッチング停止層あるいはサイドウォール絶縁膜としては、該 $\text{SiO}_2$ 系材料と選択比のとれる絶縁材料を選択する必要がある、好適な候補として $\text{Si}_3\text{N}_4$ 系材料、 $\text{Si}_3\text{O}_4$ 系材料、 $\text{Al}_2\text{O}_3$ 系材料のいずれかを挙げることができる。

【0017】前記接続孔を埋め込む導電材料は、上層配線と共通であっても、あるいは別の材料であっても良い。本発明で形成される接続孔は異方形状を有し、しかも略平坦な層間絶縁膜に開口されるため、必然的にアスペクト比の高いものとなる。したがって、上層配線そのものを用いてこれを埋め込む場合には、たとえば高温スパッタリング法や高圧リフロー法により成膜される $\text{Al}$ 系配線膜を用いるとよい。一方、上層配線とは別の材料を接続孔内の導電材料として用いる場合には、たとえばブランケットCVDとエッチバックの組み合わせで接続孔内にWプラグを形成すると良い。もちろんいずれの場合においても、密着層あるいはバリアメタルとしてたとえばCVDによりカバレッジの良い $\text{Ti}$ 系材料膜を予め接続孔内に成膜して構わない。

【0018】本発明では、前記接続孔の開口寸法を、適用される最小加工寸法の1~1.2倍の範囲とする。本発明に限らず、一般にフォトリソグラフィによる接続孔パターンの形成は技術的困難を伴うため、接続孔の開口寸法はその世代の最小加工寸法よりやや大きく設定するのが普通である。本発明では、その上限を特に最小加工寸法の1.2倍と規定することにより、ゲート・アレイの高集積化への対応を図っている。

【0019】なお、前記中層配線および下層配線は、典型的にはMOSトランジスタのそれぞれゲート電極およびソース/ドレイン領域とすることができる。ゲート電極の代表的な構成材料としては、不純物含有ポリシリコン膜、高融点金属ポリサイド膜、高融点金属シリサイド膜がある。

#### 【0020】

【作用】本発明では、多少のフォトリソグラフィのミスマライメントや加工寸法ばらつきが生じて、オフセット絶縁膜とサイドウォール絶縁膜の存在により中層配線と接続孔との間の絶縁が確保できるという従来のSAC法のメリットはそのままに、従来のSAC法では解決することのできなかった層間絶縁膜の平坦化と接続孔の異方形状化を実現している。すなわち、層間絶縁膜の下にエッチング停止層を設けるか、あるいは該層間絶縁膜とエッチング選択比のとれる材料でサイドウォールを構成することで局所的な膜厚差の大きい層間絶縁膜の異方性エッチングを可能とし、このことにより中層配線の配線間スペースにこれよりも開口寸法の小さい接続孔を開くことを可能とする。接続孔の開口が縮小すると、

これを被覆する上層配線の被り面積を縮小することができ、メモリ素子のセル面積やゲート・アレイの占有面積を縮小して一層の高集積化を図ることができる。また、層間絶縁膜が略平坦化されることにより、この上に塗布されるフォトリソグロフィも平坦かつ均一な膜厚となるため、フォトリソグラフィにおける接続孔パターンあるいは上層配線パターンの解像特性が飛躍的に向上する。また、上層配線の表面段差が最小限に抑えられることにより、エッチングによる上層配線そのものの加工精度も向上する。

#### 【0021】

【実施例】以下、本発明の具体的な実施例について説明する。

#### 【0022】実施例1

本実施例は、2本のワード線の間でSRAMのビット線引出し電極を基板にコンタクトさせるSRAMの多層配線の形成プロセスに本発明を適用した例であり、Si<sub>3</sub>N<sub>4</sub>膜をエッチング停止層として用いた。本形成プロセスを、図1ないし図6を参照しながら説明する。

【0023】まず、図1に示されるように、予めウェル形成や素子分離を行ったSi基板1の表面を熱酸化し、厚さ約8nmのゲート酸化膜2を形成した。この熱酸化は、たとえばH<sub>2</sub>/O<sub>2</sub>混合ガスを用い、850℃でパイロジェニック酸化を行うことにより形成することができる。続いて、膜厚約70nmの不純物含有ポリシリコン膜3と膜厚約70nmのWSi<sub>2</sub>膜4の積層体であるWポリサイド膜を形成し、さらにこの上に減圧CVDにより膜厚約170nmのオフセット酸化膜6を堆積させた。ここで、上記WSi<sub>2</sub>膜4は、WF<sub>6</sub>/SiCl<sub>4</sub>/H<sub>2</sub>混合ガスを用い、680℃で減圧CVDを行うことにより成膜した。また、上記不純物含有ポリシリコン膜3は、SiH<sub>4</sub>/PH<sub>3</sub>混合ガスを用い、550℃で減圧CVDを行って成膜したn<sup>+</sup>型アモルファスSi膜を、上述のWSi<sub>2</sub>膜4のCVD時の熱負荷により結晶粒成長させることにより形成した。

【0024】次に、上記オフセット酸化膜6上に図示されないレジスト・マスクを形成し、該オフセット酸化膜6、上記WSi<sub>2</sub>膜4、上記不純物含有ポリシリコン膜3を異方性エッチングした。この異方性エッチングは、たとえば有磁場マイクロ波プラズマ・エッチング装置とCl<sub>2</sub>/O<sub>2</sub>混合ガスを用い、これら3種類の膜すべてについて共通条件で一括して行うことも可能であるが、それぞれの膜に最適なエッチング条件を順次切り換えながら行っても良い。このエッチングにより、図示されるように、オフセット酸化膜6が同一パターンで積層されたワード線5を形成した。このワード線5の線幅は約0.55μm、配線間スペースは約0.7μmである。

【0025】次に、上記オフセット酸化膜6をマスクとしてSi基板1にLDD領域形成用のAs<sup>+</sup>の低濃度イオン注入を行った。このときのイオン注入条件は、たと

えばイオン加速エネルギー20keV、ドーズ量6×10<sup>13</sup>/cm<sup>2</sup>とした。続いて、基体の全面に減圧CVD法により膜厚約150nmのSiO<sub>2</sub>膜を形成した後、これを異方的にエッチバックした。これにより、上記ワード線5およびオフセット酸化膜6の側壁面上に、図2に示されるようなサイドウォール7を形成した。次に、これらサイドウォール7とオフセット酸化膜6とをマスクとしてAs<sup>+</sup>の高濃度イオン注入（イオン加速エネルギー20keV、ドーズ量5×10<sup>15</sup>/cm<sup>2</sup>）を行い、さらに1050℃、10秒間のRTA（ラピッド・サーマル・アニール）を行って不純物（As）を活性化させ、LDD構造を有するソース/ドレイン領域8を形成した。

【0026】次に、図3に示されるように、基体の全面に薄くコンフォーマルなエッチング停止層9を形成した後、基体の全面を略平坦化するとく厚い層間絶縁膜10を堆積させた。ここで、上記エッチング停止層9は、SiCl<sub>4</sub>/H<sub>2</sub>/NH<sub>3</sub>混合ガスを用い、760℃で減圧CVDを行うことにより20~50nmの厚さに堆積されたSi<sub>3</sub>N<sub>4</sub>膜である。なお、このエッチング停止層9はプラズマCVDで形成しても良い。また、上記層間絶縁膜10は、SiH<sub>4</sub>/B<sub>2</sub>H<sub>6</sub>/PH<sub>3</sub>混合ガスを用い、400℃で常圧CVDを行うことにより500~1000nmの厚さに堆積されたBPSG（ホウ素リン・シリケート・ガラス）膜を、850℃、30分間の条件でリフローさせたものである。

【0027】次に、図4に示されるように、フォトリソグラフィを行ってコンタクト・ホール・パターンに倣った開口12を有するレジスト・マスク11を層間絶縁膜10上に形成した。このときの開口12の開口寸法は、配線間スペースよりも狭い0.4μmとした。なお、本実施例のSRAMの最小加工寸法は0.35μmであり、上記の開口寸法はその1.14倍に相当する。上記フォトリソグラフィは、一例として化学増幅系ポジ型フォトリソグロフィ材料とKrFエキシマ・レーザ・ステッパを用いて行ったが、予め層間絶縁膜10の表面が略平坦化されていることによりレジスト塗膜の膜厚を基板面内にわたってほぼ均一かつ比較的薄くすることができたため、解像特性は極めて良好であった。

【0028】次に、図5に示されるように、上記開口12内に表出する層間絶縁膜10を異方性エッチングし、コンタクト・ホール10aを途中まで形成した。この異方性エッチングは、たとえばマグネトロンRIE装置とCHF<sub>3</sub>/CO混合ガスを用いて行った。このガス系は、SiO<sub>2</sub>系材料に対してはCOガスによる膜中からのO原子引き抜きによりエッチング速度を上昇させる効果を示すが、O原子が供給されないSi<sub>3</sub>N<sub>4</sub>系の露出面上ではCOガスがF<sup>+</sup>（フッ素ラジカル）を捕捉するためにエッチング速度を低下させる効果を示す。つまり、エッチング停止層9に対する選択比が高いために、

層間絶縁膜10の最大膜厚相当分をエッチングしても、エッチング停止層9が露出するとそれ以上はエッチングが進行しない。図5では、若干のミスアライメントが生じ、コンタクト・ホール10aの一端がサイドウォール7とオーバーラップした例を示しているが、エッチング停止層9が存在するためにサイドウォール7の浸蝕が防止されている。このことにより、ワード線5はこのコンタクト・ホール10aの内部に埋め込まれる後述の上層配線15から十分な耐圧をもって絶縁される。

【0029】さらに、図6に示されるように、コンタクト・ホール10aの底面に露出したエッチング停止層9をドライエッチングにより除去し、コンタクト・ホール10を完成した。このドライエッチングは、たとえばマグネトロンRIE装置と $\text{CHF}_3/\text{O}_2$ 混合ガスを用いて行った。このガス系では、 $\text{O}_2$ の添加量が増えると $\text{CHF}_3$ ガスの解離が促進されて大量の $\text{F}^*$ が生成する一方で、 $\text{CF}_3^+$ イオンの生成量が低下するため、 $\text{SiO}_2$ 系材料に対して高い選択比を達成することができる。また、 $\text{Si}$ 基板1（正確にはソース/ドレイン領域8）に対しても、その露出面が $\text{O}_2$ の酸化作用により薄い $\text{SiO}_2$ 膜に変化されるため、やはり高い選択比が達成される。

【0030】この後は、常法にしたがって上層配線15の形成を行った。この上層配線15は、たとえば膜厚約30nmの $\text{Ti}$ 膜と膜厚約70nmの $\text{TiN}$ 膜とをスパッタリング法で順次積層した $\text{Ti}$ 系バリアメタル13の上に、さらに膜厚約4000nmの $\text{Al}-1\%\text{Si}$ 膜14を高温スパッタリング法で積層したものである。なお、この上層配線15は、図6では基体の全面に被着された様に描かれているが、実際にはワード線5と直交する方向にパターニングされており、その線幅は約0.55 $\mu\text{m}$ である。上層配線15においてかかる狭い線幅が実現できたのは、本発明で形成されるコンタクト・ホール10aの開口寸法が小さく、開口端における上層配線15の被り面積が少なく済むからである。また、上層配線15は略平坦化された層間絶縁膜10上に形成されているため、該上層配線15をパターニングするためのフォトリソグラフィやドライエッチングの精度も、いずれも優れたものであった。

#### 【0031】実施例2

本実施例では、実施例1のようなエッチング停止層6を用いる替わりに、 $\text{Si}_3\text{N}_4$ 膜からなるサイドウォールを用いた。本実施例のプロセスについて図7ないし図10を参照しながら説明するが、実施例1と共通する部分については詳しい説明を省略する。

【0032】本実施例では、図7に示されるように、 $\text{Si}_3\text{N}_4$ 膜からなるサイドウォール16を形成した。このサイドウォール16は、LDDイオン注入までの工程を実施例1と同様に行った後、たとえば $\text{SiCl}_4\text{H}_2/\text{NH}_3$ 混合ガスを用いて760℃で減圧CVDを行う

ことにより膜厚約80nmの $\text{Si}_3\text{N}_4$ 膜を基体の全面に堆積させ、しかる後に異方性エッチバックを行って形成した。

【0033】高濃度イオン注入および活性化アニールを行ってソース/ドレイン領域8を形成した後、図8に示されるようにBPSG膜よりなる層間絶縁膜10を形成して基体の表面をほぼ平坦化し、さらに図9に示されるように該層間絶縁膜10上にレジスト・マスク11を形成した。続いて、この状態で層間絶縁膜10の異方性エッチングを行い、図10に示されるようなコンタクト・ホール10aを形成した。図10では、若干のミスアライメントが生じ、コンタクト・ホール10aの一端がサイドウォール16とオーバーラップした例を示しているが、このサイドウォール16は $\text{Si}_3\text{N}_4$ 膜で形成されているために実施例1のエッチング停止層9と同じ効果を発揮し、エッチングの進行を妨げた。つまり、サイドウォール16の浸蝕が防止されたので、図10に示されるようにコンタクト・ホール10aを上層配線15で埋め込んだ後でも、ワード線5とコンタクト・ホール10a内の該上層配線15との絶縁は良好であった。

【0034】以上、本発明を2例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。たとえば、上述の各実施例ではエッチング停止層9およびサイドウォール16の構成材料を共に $\text{Si}_3\text{N}_4$ としたが、本発明において規定される $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 系材料、 $\text{Al}_2\text{O}_3$ 系材料を用いても基本的には同様の結果が得られる。この他、本発明の適用されるデバイス、CVD、スパッタリング、イオン注入、ドライエッチング等の各プロセスの条件、デバイスの構成材料については、適宜変更が可能である。

#### 【0035】

【発明の効果】以上の説明からも明らかなように、本発明を適用すれば配線間スペースの縮小を図りながらも中層配線と接続孔との絶縁耐圧を十分に確保し、しかも従来のSAC法では困難であった層間絶縁膜の平坦化と接続孔の断面形状の異方性化、およびこれに伴う上層配線の被り面積の縮小をも実現している。したがって、メモリ素子のセル面積やゲート・アレイの占有面積を縮小し、これらの半導体デバイスの一層の高集積化、高信頼化を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明を2本のワード線の間でビット線引出し電極の基板コンタクトをとるSRAMの多層配線の形成プロセスに適用した例において、 $\text{Si}$ 基板上にゲート酸化膜を介してワード線とオフセット酸化膜とを同一パターンで形成した状態を示す模式的断面図である。

【図2】図1のワード線とオフセット酸化膜の側壁面にサイドウォールを形成した状態を示す模式的断面図である。

【図3】図2の基体の全面に薄くコンフォーマルなエツ

チング停止層を形成し、さらにその基体の表面を厚い層間絶縁膜で略平坦化した状態を示す模式的断面図である。

【図4】図3の層間絶縁膜上にレジスト・マスクを形成した状態を示す模式的断面図である。

【図5】図4の層間絶縁膜を異方性エッチングしてコンタクト・ホールを途中まで形成した状態を示す模式的断面図である。

【図6】図5のコンタクト・ホール底面のエッチング停止層を除去し、コンタクト・ホールを上層配線で埋め込んだ状態を示す模式的断面図である。

【図7】本発明を2本のワード線の間でビット線引出し電極の基板コンタクトをとるSRAMの多層配線の形成プロセスに適用した他の例において、後述の層間絶縁膜に比べてエッチング速度の遅いサイドウォールを形成した状態を示す模式的断面図である。

【図8】図7の基体の全面を厚い層間絶縁膜で略平坦化した状態を示す模式的断面図である。

【図9】図8の層間絶縁膜上にレジスト・マスクを形成した状態を示す模式的断面図である。

【図10】図9の層間絶縁膜を異方性エッチングしてコンタクト・ホールを形成した状態を示す模式的断面図で \*

\*ある。

【図11】従来のSAC法を適用したSRAMのメモリ・セルの一部において、2本のワード線の配線間スペース全体を使ってビット線引出し電極が基板にコンタクトされている状態を示す模式的断面図である。

【図12】エッチング停止層を用いることにより層間絶縁膜の平坦化を図った従来のSAC法を適用したSRAMのメモリ・セルの一部において、接続孔の断面形状が等方化し開口寸法が拡大している状態を示す模式的断面図である。

【図13】図12のエッチング停止層を選択的に除去した状態を示す模式的断面図である。

【符号の説明】

1 Si基板

5 ワード線

6 オフセット酸化膜 ( $\text{SiO}_2$ )

7 サイドウォール ( $\text{SiO}_2$ )

9 エッチング停止層 ( $\text{Si}_3\text{N}_4$ )

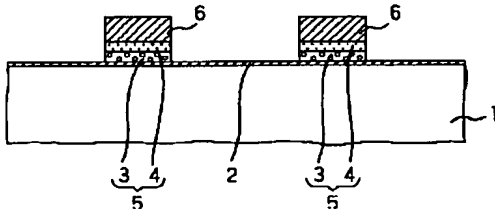
10 層間絶縁膜 (BPSG)

20 10a コンタクト・ホール

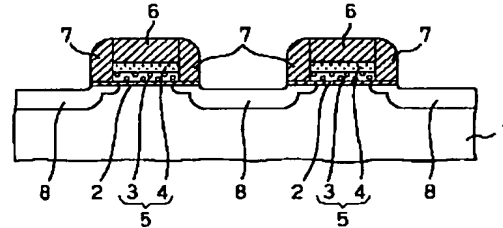
15 上層配線 (Tiバリアメタル/A1-1%Si)

16 サイドウォール ( $\text{Si}_3\text{N}_4$ )

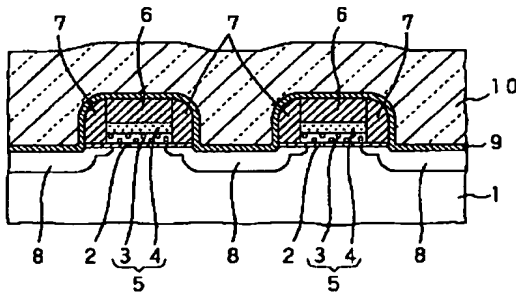
【図1】



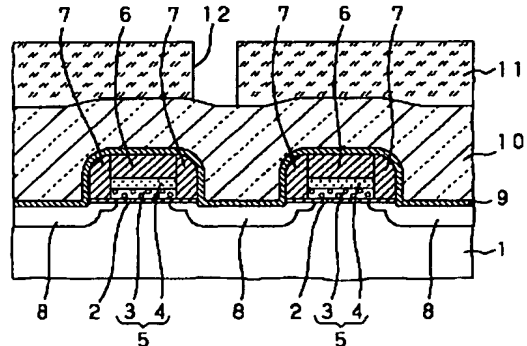
【図2】



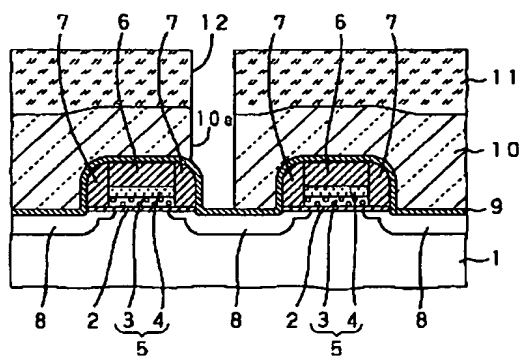
【図3】



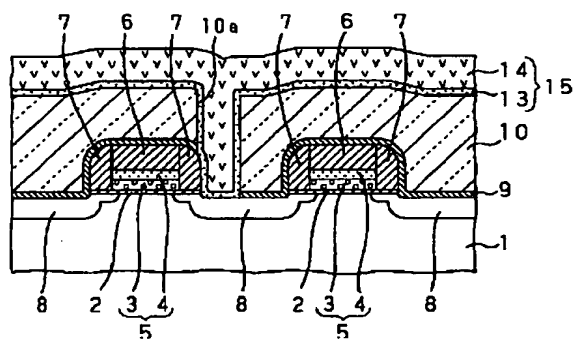
【図4】



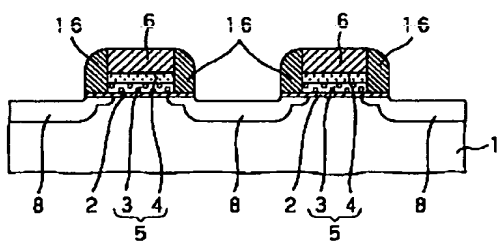
【図5】



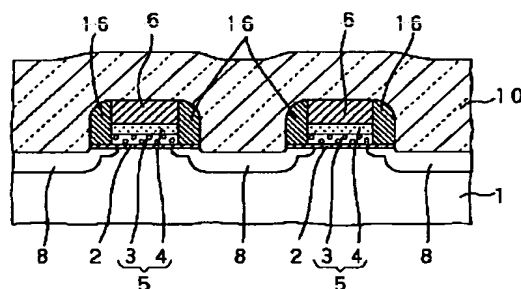
【図6】



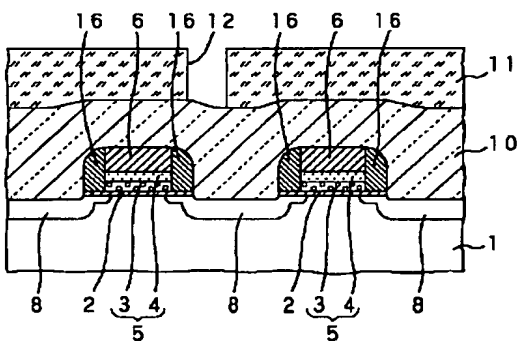
【図7】



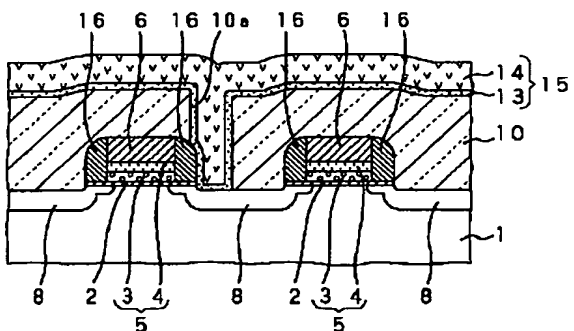
【図8】



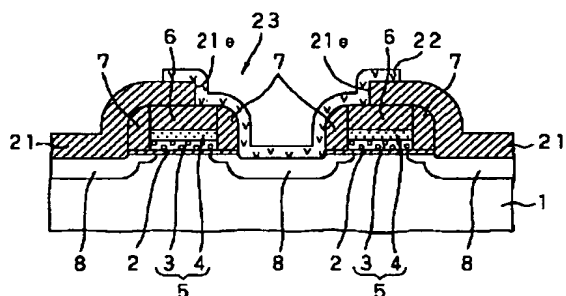
【図9】



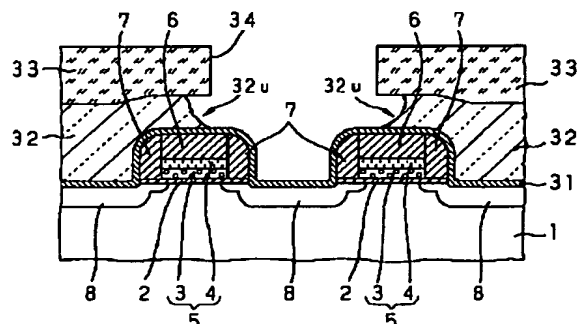
【図10】



【図11】



【図12】



【図 13】

